Зміст

[Розробка операційного пристрою виконання операції обчислення функції 2](#_Toc405808543)

[Формат мікрокоманди 5](#_Toc405808544)

[Опис функціональної схеми 8](#_Toc405808545)

[ВИСНОВОК 9](#_Toc405808546)

[СПИСОК ЛІТЕРАТУРИ 9](#_Toc405808547)

[ДОДАТОК А 10](#_Toc405808547)

[ДОДАТОК Б 13](#_Toc405808547)

# **Розробка операційного пристрою виконання операції обчислення функції**

Змн.

Арк.

№ докум.

Підпис

Дата

Арк.

1

НТУУ КПІ 15 3223 003 ПЗ

Розроб.

Попенко Р.Л.

Перевір.

Жабін В.І.

Н. Контр.

Затверд.

Обчислювальний пристрій з мікропрограмним управлінням

*Пояснювальна записка*

Літ.

Акрушів

13

ІО-32

Функція: F = A(B+1) + 2C.

Теоретичні відомості

Перед початком обчислення число А записують в регістр RG1, число В – у лічильник CT, а число С – у регістр RG2. Потім вміст лічильника інкрементується (що відповідає операції B+1), а вміст регістру RG2 зсувається в сторону старших розрядів на 1 розряд, що відповідає операції 2C. Далі в кожному i-му циклі вміст регістру RG2 на суматорі додається до вмісту регістру RG1, а вміст лічильника при цьому декрементується. Обнулення лічильника означатиме завершення виконання операції, при цьому результат можна буде побачити на регістрі RG2.

Операційна схема:

RG2

**1**

**17**

**17**

**17**

**1**

**1**

***SM***

**17**

**17**

(CT=0)

CT

**1**

**17**

**17**

RG1

**1**

**17**

Побудова змістовного мікроалгоритму:



Логічне моделювання роботи операційного пристрою:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| № | RG2 | RG1 | CT | Дії |
| ПС | 0000 0000 0000 1100 | 0000 0000 0001 1101 | 0000 0000 0000 0100 |  |
| 1 | 0000 0000 0001 1000 | 0000 0000 0001 1101 | 0000 0000 0000 0101 | RG2🡨  CT + 1 |
| 2 | + 0000 0000 0001 1101  0000 0000 0011 0101 | 0000 0000 0001 1101 | 0000 0000 0000 0100 | RG2 + RG1  CT – 1 |
| 3 | + 0000 0000 0001 1101  0000 0000 0101 0010 | 0000 0000 0001 1101 | 0000 0000 0000 0011 | RG2 + RG1  CT - 1 |
| 4 | + 0000 0000 0001 1101  0000 0000 0110 1111 | 0000 0000 0001 1101 | 0000 0000 0000 0010 | RG2 + RG1  CT – 1 |
| 5 | + 0000 0000 0001 1101  0000 0000 1000 1100 | 0000 0000 0001 1101 | 0000 0000 0000 0001 | RG2 + RG1  CT - 1 |
| 6 | + 0000 0000 0001 1101  0000 0000 1010 1001 | 0000 0000 0001 1101 | 0000 0000 0000 0000 | RG2 + RG1  CT - 1 |

Функціональна схема:



|  |  |  |  |
| --- | --- | --- | --- |
| Таблиця кодування мікрооперацій: | | | |
| Вузол | Мікрооперація | Управляючий сигнал | Позначення |
| *RG*1 | Запис | *W1* | *Y2* |
| *RG*2 | Запис | *W2* |
| Зсув вліво | *SL2* | *Y4* |
| *CT* | Запис | *WCT* | *Y1* |
| Декремент | *dec* | *Y5* |
| Інкремент | *inc* | *Y3* |

Позначення мікрооперації підсумовування – *Y6*

Таблиця кодування логічних умов:

|  |  |
| --- | --- |
| Логічні умови | Позначення |
| CT=0 | x1 |

Закодований мікроалгоритм:



Формат мікрокоманди

1) Зона β1 :

|  |  |
| --- | --- |
| К | M |

na = ] log2 32 [ = 5 (розрядність адреси ПМК)

nM = ] log2 (ЛУ + 2) [ = 2, де ЛУ – логічна умова(x1). ЛУ=1

nβ1 = nа + nM - 1 = 6

Спосіб управління мультиплексором:

|  |  |
| --- | --- |
| m2m1 | УС |
| 0 0 | 0 |
| 0 1 | x1 |
| 1 0 | - |
| 1 1 | 1 |

2) Зона β2:

При горизонтальному мікропрограмуванні: кількість управляючих сигналів - 6, тому nβ2 = 6.

3) Зона β3:

tmax = 3

Δtmax = 2

nβ3 = ] log2 2 [ + 1 = 2

-2

1.10пк

1.00дк

4) Зона β4:

nβ4=1 (перевірка на парність).

МК

|  |  |  |  |
| --- | --- | --- | --- |
| β1 | β2 | β3 | β4 |
| 6 | 6 | 2 | 1 |
| 15 | | | |

Розміщення команд в ПМК :

|  |  |
| --- | --- |
|  | … |
| 00110 | П |
| 00111 | 1 |
| 01000 | 2 |
| 01001 | 3 |
| 01010 | 4 |
| 01011 | К |
| 01100 | 5 |
| 01101 | 6 |
| 01110 | 7 |
|  | … |

Карта програмування БМУ:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| МК | Адреса МК | β1 | | β2 | β3 | β4 |
| К | M | Y1 Y2 Y3 Y4 Y5 Y6 |
| П | 00110 | 0011 | 11 | 0 0 0 0 0 0 | 0 0 | 0 |
| 1 | 00111 | 0111 | 00 | 1 0 0 0 0 0 | 0 0 | 1 |
| 2 | 01000 | 0010 | 11 | 0 0 1 0 0 0 | 0 0 | 1 |
| 3 | 01001 | 0101 | 00 | 0 0 0 1 0 0 | 0 0 | 1 |
| 4 | 01010 | 0110 | 00 | 0 0 0 0 1 0 | 0 0 | 1 |
| 5 | 01100 | 0110 | 11 | 0 0 0 0 0 1 | 1 0 | 0 |
| 6 | 01101 | 0101 | 01 | 0 0 0 0 0 0 | 0 0 | 0 |
| 7 | 01110 | 0100 | 00 | 0 1 0 0 0 0 | 0 0 | 1 |
| К | 01011 | 0011 | 00 | 0 0 0 0 0 0 | 0 0 | 1 |

Опис функціональної схеми

Під час виконання мікропрограми в кожному такті із постійної пам’яті БМУ зчитується та розшифровується чергова мікрокоманда . В результаті виконання мікрокоманди формуються управляючі сигнали необхідної тривалості, що поступають на всі функціональні частини обчислювальної системи, а також формується адреса наступної мікрокоманди.

Відповідно до схеми електричної функціональної:

У лічильники RG1-2 записується значення B, у регістри RG3-4 записується значення A, на регістри RG5-8 подається значення C з логічних елементів. Результат виконання операції обчислення функції буде знаходитися на тих таки регістрах RG5-8, коли адреса мікрокоманди знову співпадатиме з початковою, а обидва лічильники RG1-2 обнуляться. Логічна умова формується елементом АБО (логічний сигнал x1) на виході лічильника RG3. За допомогою суматорів SM13-16 відбувається підсумування відповідних регістрів (RG3-4 та RG5-8). RG9 є регістром адреси мікрокоманди, він формує пам'ять мікрокоманди (ROM10 та ROM11) та формує наступну адресу. RG12 - це лічильник для формування затримки мікрокоманди.. Виходи на пам’яті ROM10 відповідають за перевірку на парність (зона β4 – вихід В4), за адресу наступної мікрокоманди (зона β1 – виходи К4 – К1, M1 – M0). Виходи на пам’яті ROM11 відповідають за формування управляючих сигналів (зона β2 – виходи Y6 – Y1) та затримку подачі мікрокоманди (зона β3 – виходи В3\_1, В3\_0). Мультиплексор MS17 відповідає за формування альтернативних адрес мікрокоманди.

ВИСНОВОК

Отже, під час виконання даної роботи я розширив, закріпив, узагальнив свої знання,уміння та навички, отримані мною під час вивчення курсу. Використання додаткової літератури є одним із ключових завдань, які постали переді мною під час реалізації деяких пунктів. Також важливим є процес створення проектно-конструкторської документації відповідно до діючих стандартів.

СПИСОК ЛІТЕРАТУРИ

1. Бабич М.П., Жуков І.А. Атестаційні роботи магістрів і спеціалістів: Навчально-методичний посібник. – К. НАУ, 2004. – 216 с.  
2. Жабін В.І, Ткаченко В.В. Однокристальные и микропрограммируемые ЭВМ. – К.: Діалектика, 1995 – 115 с.  
3. Каган Б.М. Электронные вычислительные машины и системы. –М.: Энергоатомиздат, 1985. – 552 с.  
4. Карцев М.А. Архитектура цифровых вычислительных машин.– М.: "Наука",

1978. – 295 с.  
5. Молчанов А.А., Корнейчук В.И., Тарасенко В.П. Справочник по микропроцессорным устройствам. – К.: Техніка, 1987. – 288 с.  
6. Прикладана теорія цифрових автоматів: Навчальний посібник /В.І.Жабін, І.А.Жуков, І.А.Клименко, В.В.Ткаченко. – К.: Книжкове видавництво НАУ, 2007. – 364 с.  
7. Самофалов К.Г., Корнейчук В.И., Тарасенко В.П. Цифровые ЭВМ. Теория и проектирование.– К.: Высш.шк. 1989. – 424 с.  
8. Тарабрин В.В., Лунин Л.Ф., Смирнов Ю.Н. Интегральные мик-  
росхемы: Справочник. – М.: Радио и связь, 1990. – 528 с.  
9. Цифровые ЭВМ. Практикум / К.Г.Самофалов, В.И. Корнейчук,В.П. Тарасенко, В.И.Жабин – К.: Высш.шк. 1989. – 124 с.